

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Chung et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT DEVICE INCLUDING A SCAN TEST CIRCUIT
AND METHODS OF TESTING THE SAME**

October 29, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

PO Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2002-0087246, filed December 30, 2002.

Respectfully submitted,



Robert W. Glatz

Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353592833 US

Date of Deposit: October 29, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, PO Box 1450, Alexandria, VA 22313-1450.



Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0087246
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

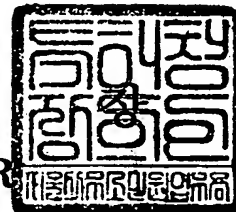
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0030
【제출일자】	2002.12.30
【국제특허분류】	G11C
【발명의 명칭】	칩 사이즈를 감소시키는 스캔 테스트 회로를 구비한 반도체 장치, 및 그 테스트 방법
【발명의 영문명칭】	Semiconductor device comprising the scan test circuit providing for chip downsizing and test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정승재
【성명의 영문표기】	CHUNG, Seung Jae
【주민등록번호】	690202-1058310
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 산나물실미주아파트 651-1807
【국적】	KR
【발명자】	
【성명의 국문표기】	김용천
【성명의 영문표기】	KIM, Yong Chun
【주민등록번호】	650915-1661424

【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 삼성5차@ 524-602
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 7 면 7,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 10 항 429,000 원
【합계】 465,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

칩 사이즈를 저감시키는 스캔 테스트 회로를 구비한 반도체 장치, 및 그 테스트 방법이 개시된다. 상기 스캔 테스트 회로를 구비한 반도체 장치에서는, 먼저, 먹스부가 먹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력한다. 코아부는 상기 먹스부의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터(C1D1~C1DN)를 생성하고, 상기 포트별 코아 내부 데이터(C1D1~C1DN)를 스캔 방식으로 외부에 출력하거나, 상기 포트별 코아 내부 데이터(C1D1~C1DN) 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터(TDI)를 선택적으로 처리하여 상기 포트별 코아 출력 데이터(C2D1~C2DN)를 발생시킨다. 따라서, 스캔(scan) 테스트 회로의 단순화로 칩 사이즈가 저감되고, 전체 폴트 커버리지(fault coverage)도 만족시킬 수 있으며, 이는 칩 전체적으로 스캔(scan) 방식이 지원되지 않는 칩의 경우에도 마찬가지이다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

칩 사이즈를 감소시키는 스캔 테스트 회로를 구비한 반도체 장치, 및 그 테스트 방법{Semiconductor device comprising the scan test circuit providing for chip downsizing and test method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 반도체 장치의 블록도이다.

도 2는 도 1에서 코아부(core block)(130) 이외의 논리회로 블록들(110, 150)이 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 주변의 스캔 테스트(scan test) 회로의 일예이다.

도 3은 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 전단의 스캔 테스트(scan test) 회로의 일예이다.

도 4는 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 후단의 스캔 테스트(scan test) 회로의 일예이다.

도 5는 본 발명의 일실시예에 따른 스캔 테스트(scan test) 회로를 구비하는 반도체 장치의 블록도이다.

도 6은 도 5의 스캔 테스트(scan test) 회로부(535)를 나타내는 구체적인 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 장치에 관한 것으로, 특히 스캔 테스트(scan test) 회로를 구비한 반도체 장치에 관한 것이다.
- <9> DRAM과 같은 반도체 메모리 장치나 주문형 반도체 장치(ASIC) 등은 반도체 회로의 설계와 공정, 칩 테스트 또는 패키지 후 테스트 등 일련의 여러 단계를 거쳐 제품으로 출시된다. 이때, 칩 테스트 또는 패키지 후 테스트 단계에서 수행되는 반도체 장치의 매크로 블록(macro block) 테스트에는 다양한 테스트 모드들이 있다.
- <10> 매크로 블록(macro block) 이란 MCU(micro controller unit), DSP(digital signal processor) 등과 같은 프로그래머블(programmable) IP(intellectual property) 코아(core)나 특정 기능 수행을 위한 다른 코아(core) 등을 총체적으로 말한다.
- <11> 프로그래머블 IP(intellectual property) 코아(core)의 테스트 방법에는 기능 벡터를 실행하여 폴트 커버리지(fault coverage) 값을 올리는 전통적인 다이내믹 시뮬레이션(dynamic simulation) 방법("verifault"라는 장치에 의함)과 반도체 칩 내에 구비되는 스캔 테스트(scan test) 회로에 의한 시리얼(serial) 테스트 방법이 있다.
- <12> 전통적인 다이내믹 시뮬레이션(dynamic simulation) 방법은 스캔 테스트(scan test) 회로가 추가되지 않으므로, 칩의 크기 측면에서는 이득을 보나 전체 폴트 커버리지(fault coverage) 값이 낮은 것이 단점이다. 또한, 전통적인 다이내믹 시뮬레이션(dynamic simulation) 방법으로 프로그래머블 IP(intellectual property) 코아(core)를

테스트하는 경우에는, 어떤 특정 칩에만 사용되는 것이 아닌, 프로그래머블 IP(intellectual property) 코아(core)가 들어가는 모든 칩에 공통적으로 이용될 수 있는 테스트 벡터를 작성해야 한다. 그러나, 현실적으로 각 칩마다 입출력(I/O) 어드레스 생성 방법, 메모리 맵, 패드(pad), 주변(peripheral) 인터페이스 등이 다르기 때문에, 공통 테스트 벡터를 작성하기에는 많은 제한과 어려움이 따른다. 그러므로, 프로그래머블 IP(intellectual property) 코아(core)의 경우에는 시리얼(serial) 테스트를 할 수 있도록 하기 위하여, 스캔 테스트(scan test) 회로가 부가된 코아(core)를 제공하는 것이 일반적이다.

<13> 이때, 프로그래머블 IP(intellectual property) 코아(core)를 사용하는 칩이 전체적으로 풀 스캔(full scan) 방식으로 설계되는 경우에는, 프로그래머블 IP(intellectual property) 코아(core)에 단순히 스캔 테스트(scan test) 회로의 부가에 의하여 테스트된다. 또한, 프로그래머블 IP(intellectual property) 코아(core)를 사용하는 칩이 전체적으로 스캔(scan) 방식이 아닌 경우에는, 전통적인 다이내믹 시뮬레이션(dynamic simulation)에 의존하는 방법으로 테스트된다.

<14> 한편, 칩이 전체적으로 풀 스캔(full scan) 방식이 아니고, 프로그래머블 IP(intellectual property) 코아(core)에 대해서만 스캔(scan) 방식이거나, 프로그래머블 IP(intellectual property) 코아(core) 이외의 부분이 스캔(scan) 방식인 경우에는, 해당되는 프로그래머블 IP(intellectual property) 코아(core)의 모든 입력, 출력 신호를 칩의 외부 핀으로 뽑아 내야 한다. 그러나, 일반적으로 IP(intellectual property) 코아(core)의 입력과 출력이 칩의 핀 수 보다 큰 경우가 많아서 적용하기가 어렵다. 그래서, 이런 경우 일반적으로 IP(intellectual property) 코아(core)의 입력, 출력에 채

인(chain) 형태의 스캔 테스트(scan test) 회로를 부가하고, 이 체인(chain)에 테스트 벡터를 직렬로 싣거나 출력 단으로 나가고 있는 출력 신호를 체인(chain)에 담아 (capture) 직렬로 뽑아 보는 기능을 구현한다.

<15> 도 1은 종래의 반도체 장치의 블록도이다.

<16> 도 1을 참조하면, 종래의 스캔 테스트(scan test) 회로를 구비하는 반도체 장치는, 제1 서브 논리 회로부(110), 코아부(core block)(130), 및 제2 서브 논리 회로부(150)를 구비한다. 여기서, 제1 서브 논리 회로부(110)가 입력되는 데이터(MDI)를 받아 처리하고, 제1 서브 논리 회로부(110)에서 처리된 데이터(SL1~SLN)는 코아부(core block)(130)에서 처리되며, 코아부(core block)(130)의 출력 데이터(CD1~CDN)는 제2 서브 논리 회로부(150)에서 처리되어 최종 출력 데이터(MDO)로 출력되는 것으로 가정하였다.

<17> 도 2는 도 1에서 코아부(core block)(130) 이외의 논리회로 블록들(110, 150)이 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 주변의 스캔 테스트(scan test) 회로의 일예이다.

<18> 도 2를 참조하면, 도 1에서 코아부(core block)(130) 이외의 논리회로 블록

들(110, 150)이 스캔(scan) 방식으로 설계된 경우에는, 출력되는 시리얼 데이터(TDO)에 의한 코아부(core block)(130)와 다른 논리 회로 블록(110, 150)의 정상 동작 여부의 판별성(observability) 또는 입력되는 시리얼 데이터(TDI)가 다음 블록(130 또는 150)으로 입력되는 데이터(SD)에 의한 제어성(controllability) 판단을 위하여, 코아부(core block)(130)의 앞단과 후단의 스캔 테스트(scan test) 회로에 각각의 포트마다 믹스(MUX) 2 개(213, 217)와 플립플롭 1개(215)를 필요로 한다. 플립플롭 (215)들은 시스템 클럭(SCLK)에 의하여 동작한다. 이때, 입출력 포트가 각각 100개인 경우에, 400 개의 믹스들과 200개의 플립플롭들이 필요하다. 믹스 제어 신호 TM은 스캔(scan) 테스트 여부에 따라 액티브 되거나 비활성화 되고, 믹스 제어 신호 TS는 시리얼 테스트 벡터(TDI)의 입력을 받는지 또는 앞단 논리 회로 블록(110 또는 130)의 출력을 받는지 여부에 따라 액티브 되거나 비활성화 된다.

<19> 도 3은 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 전단의 스캔 테스트(scan test) 회로의 일예이다.

<20> 도 3을 참조하면, 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에는, 시리얼로 입력되는 데이터(TDI)에 의하여 코아부(core block)(130)로 출력되는 데이터(S1D)에 의한 코아부(core block)(130)의 제어성(controllability) 판단만 하면 되므로, 코아부(core block)(130) 전단의 스캔 테스트(scan test) 회로에 포트마다 믹스(MUX) 1 개(315)와 플립플롭 1 개(313)를 필요로 한다. 플립플롭 (313)들은 시스템 클럭(SCLK)에 의하여 동작한다. 이때, 포트가 100개인 경우에, 100 개의 믹스들과 100개의 플립플롭들이 필요하다.

- <21> 도 4는 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에, 코아부(core block)(130) 후단의 스캔 테스트(scan test) 회로의 일예이다.
- <22> 도 4를 참조하면, 도 4는 도 3과 유사하지만, 도 1에서 코아부(core block)(130)만 스캔(scan) 방식으로 설계된 경우에는, 시리얼로 출력되는 데이터(TDO)에 의한 코아부(core block)(130)의 정상 동작 여부의 판별성(observability) 판단만 하면 되므로, 코아부(core block)(130) 후단의 스캔 테스트(scan test) 회로에 포트마다 믹스(MUX) 1개(413)와 플립플롭 1개(415)를 필요로 한다. 여기서, 플립플롭 (415)들은 시스템 클럭(SCLK)에 의하여 동작하고, 각 포트별 출력데이터(S2D)는 제2 서브 논리 회로부(150)로 입력된다. 이때, 포트가 100개인 경우에, 100개의 믹스들과 100개의 플립플롭들이 필요하다.
- <23> 따라서, 칩이 전체적으로 스캔(scan) 방식이 아닌 경우에는 다이내믹 시뮬레이션(dynamic simulation)에 의존할 수 밖에 없고, 프로그래머블 IP(intellectual property) 코아(core)에 대해서만 스캔(scan) 방식이거나, 프로그래머블 IP(intellectual property) 코아(core) 이외의 부분이 스캔(scan) 방식인 경우에는, 프로그래머블 IP(intellectual property) 코아(core) 주변에 입출력 포트 수만큼의 스캔(scan) 테스트 회로가 필요하다.
- <24> 그러나, 위에서 지적한 바와 같이, 다이내믹 시뮬레이션(dynamic simulation)은 폴트 커버리지(fault coverage)를 만족시키기 위하여 모든 칩에 공통적으로 이용될 수 있는 테스트 벡터의 작성에 어려움이 있다. 또한, 프로그래머블 IP(intellectual property) 코아(core) 주변에 입출력 포트 수만큼의 스캔(scan) 테스트 회로를 추가하는

경우에는 수백 개의 믹스, 수백 개의 플립플롭과 이외에도 데이터 버스, 어드레스 버스 등으로 인하여 전체 칩 사이즈가 커지는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서, 본 발명이 이루고자하는 기술적 과제는, 프로그래머블 IP(intellectual property) 코아(core) 주변에 입출력 포트 수만큼의 스캔 테스트(scan test) 회로를 부가하는 경우에 칩 사이즈를 감소시킬 수 있는 스캔 테스트(scan test) 회로를 구비한 반도체 장치를 제공하는 데 있다.

<26> 본 발명이 이루고자하는 다른 기술적 과제는, 프로그래머블 IP(intellectual property) 코아(core) 주변에 입출력 포트 수만큼의 스캔 테스트(scan test) 회로를 부가하는 경우에 칩 사이즈를 감소시킬 수 있는 반도체 장치의 스캔 테스트(scan test) 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<27> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치는, 제1 서브 논리 회로부, 믹스부, 코아부, 및 제2 서브 논리 회로부를 구비한다.

<28> 상기 제1 서브 논리 회로부는 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시킨다.

<29> 상기 믹스부는 믹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력한다.

- <30> 상기 코아부는 상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 먹스부의 포트별 출력 데이터를 받아 처리하여 상기 포트별 코아 출력 데이터를 발생시킨다.
- <31> 상기 제2 서브 논리 회로부는 상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력한다.
- <32> 상기의 기술적 과제를 달성하기 위한 본 발명에 따른 다른 반도체 장치는, 제1 서브 논리 회로부, 먹스부, 코아부, 및 제2 서브 논리 회로부를 구비한다.
- <33> 상기 제1 서브 논리 회로부는 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시킨다.
- <34> 상기 먹스부는 먹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력한다.
- <35> 상기 코아부는 상기 먹스부의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성하고, 상기 포트별 코아 내부 데이터를 스캔 방식으로 외부에 출력하거나, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터를 선택적으로 처리하여 상기 포트별 코아 출력 데이터를 발생시킨다.
- <36> 상기 제2 서브 논리 회로부는 상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력한다.

- <37> 여기서, 상기 코아부는, 제1 코아 논리 회로부, 스캔 테스트 회로부, 및 제2 코아 논리 회로부를 구비한다.
- <38> 상기 제1 코아 논리 회로부는 상기 먹스부의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성한다.
- <39> 상기 스캔 테스트 회로부는 상기 포트별 코아 내부 데이터를 스캔 방식으로 외부에 출력하거나, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 상기 포트별 테스트 벡터를 선택적으로 출력한다.
- <40> 상기 제2 코아 논리 회로부는 상기 스캔 테스트 회로부의 포트별 출력 데이터를 처리하여 상기 포트별 코아 출력 데이터를 발생시킨다.
- <41> 상기 스캔 테스트 회로부는, 각 포트별로 먹스 2 개 및 폴리플롭 1 개를 구비하는 것을 특징으로 한다. 또는, 상기 스캔 테스트 회로부는, 각 포트별로 먹스 1 개 및 폴리플롭 1 개를 구비하는 것을 특징으로 한다.
- <42> 상기의 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 스캔 테스트 방법은, 매크로 블록들이 모두 다이내믹 시뮬레이션 테스트 방식으로 설계되는 반도체 장치의 테스트에 있어서, 다음과 같은 단계를 구비한다.
- <43> 즉, 본 발명에 따른 반도체 장치의 스캔 테스트 방법은, 먼저, 상기 매크로 블록들 중 제1 서브 블록이 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시킨다. 다음에, 먹스 제어 신호의 제어를 받는 먹스들이 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력한다. 상기 매크로 블록들 중 코아 블록은 상기 먹스들의 포트별 출력 데이터를 받아 처리하여 상기 포트별 코아 출력 데이터

를 발생시킨다. 상기 매크로 블록들 중 제2 서브 블록은 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력한다.

<44> 본 발명에 따른 다른 반도체 장치의 스캔 테스트 방법은, 매크로 블록들 중 코아 블록은 스캔 테스트 방식으로 설계되고, 코아 블록 이외의 나머지 블록들은 다이내믹 시뮬레이션 테스트 방식으로 설계되는 반도체 장치의 테스트에 있어서, 다음과 같은 단계를 구비한다.

<45> 먼저, 상기 나머지 블록들 중 제1 서브 블록이 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시킨다. 다음에, 믹스 제어 신호의 제어를 받는 믹스들이 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력한다. 상기 코아 블록은 상기 믹스들의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성하고, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터를 선택적으로 처리하여 상기 포트별 코아 출력 데이터를 발생시킨다. 상기 나머지 블록들 중 제2 서브 블록은 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력한다.

<46> 여기서, 상기 포트별 코아 내부 데이터는, 소정의 스캔 테스트 회로에 의하여 스캔 방식으로 외부에 출력될 수 있는 것을 특징으로 한다.

<47> 상기 스캔 테스트 회로는, 각 포트별로 믹스 2 개 및 폴리플롭 1 개를 구비하는 것을 특징으로 한다. 또는, 상기 스캔 테스트 회로는, 각 포트별로 믹스 1 개 및 폴리플롭 1 개를 구비하는 것을 특징으로 한다.

- <48> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <49> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <50> 도 5는 본 발명의 일실시예에 따른 스캔 테스트(scan test) 회로를 구비하는 반도체 장치의 블록도이다.
- <51> 도 5를 참조하면, 본 발명의 일실시예에 따른 스캔 테스트(scan test) 회로를 구비하는 반도체 장치는, 매크로 블록(macro block)들 중 코아(core) 블록, 즉, 코아부(core block)(530)는 스캔 테스트(scan test) 방식으로 설계되고, 코아(core) 블록 이외의 나머지 블록들(510, 540)은 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되는 반도체 장치로서, 제1 서브 논리 회로부(510), 맥스부(520), 코아부(core block)(530), 및 제2 서브 논리 회로부(540)를 구비한다.
- <52> 위에서 기술한 바와 같이, 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되는 반도체 장치는, 프로그래머블 IP(intellectual property) 코아(core)가 들어가는 모든 칩에 공통적으로 이용될 수 있도록 미리 작성된 기능 벡터의 실행에 의하여 테스트 할 수 있도록 설계되어 있는 반도체 장치이다. 또한, 스캔 테스트(scan test) 방식으로 설계되는 반도체 장치는, 폴트 커버리지(fault coverage) 값을 더욱 향상시키기 위하여, 외부에서 시리얼로 입력되는 포트별 테스트 벡터를 처리할 수 있도록 반도체 칩 내에 스캔 테스트(scan test) 회로가 구비되는 반도체 장치이다.

- <53> 상기 제1 서브 논리 회로부(510)는 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되어 있고, 외부에서 입력되는 데이터(MDI)를 받아 처리하여 포트별 서브 데이터를 발생시킨다.
- <54> 상기 믹스부(520)는 믹스 제어 신호(TI)의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 선택적으로 출력한다.
- <55> 상기 코아부(core block)(530)는 상기 믹스부(520)의 포트별 출력 데이터를 받아 처리하여 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 생성하고, 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 스캔(scan) 방식으로 외부에 출력하거나, 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN) 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터(TDI)를 선택적으로 처리하여 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 발생시킨다.
- <56> 상기 제2 서브 논리 회로부(540)는 상기 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되어 있고, 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 받아 처리하여 최종 출력 데이터(MDO)를 외부에 출력한다.
- <57> 여기서, 상기 코아부(core block)(530)는, 제1 코아(core) 논리 회로부(531), 스캔 테스트(scan test) 회로부(535), 및 제2 코아(core) 논리 회로부(539)를 구비한다.
- <58> 상기 제1 코아(core) 논리 회로부(531)는 상기 믹스부(520)의 포트별 출력 데이터를 받아 처리하여 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 생성한다.
- <59> 상기 스캔 테스트(scan test) 회로부(535)는 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 스캔(scan) 방식으로 외부에 출력하거나, 상기 포트별 코아(core) 내부

데이터(C1D1~C1DN) 또는 외부에서 시리얼로 입력된 상기 포트별 테스트 벡터(TDI)를 선택적으로 출력한다.

- <60> 상기 제2 코아(core) 논리 회로부(539)는 상기 스캔 테스트(scan test) 회로부(535)의 포트별 출력 데이터(SD1~SDN)를 처리하여 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 발생시킨다.
- <61> 도 6은 도 5의 스캔 테스트(scan test) 회로부(535)를 나타내는 구체적인 회로도이다.
- <62> 도 6을 참조하면, 상기 스캔 테스트(scan test) 회로부(535)는, 제1 믹스부(5351), 플립플롭부(5353), 및 제2 믹스부(5355)를 구비한다. 플립플롭부(5353)의 플립플롭들은 시스템 클럭(SCLK)에 의하여 동작한다. 즉, 상기 스캔 테스트(scan test) 회로부(535)는, 도 2에서와 같이, 코아부(core block)(530)와 다른 논리 회로 블록(510, 540)의 정상 동작 여부의 판별성(observability) 또는 입력되는 데이터에 의한 제어성(controllability) 판단을 위하여, 각각의 포트마다 믹스(MUX) 2 개와 플립플롭 1개를 필요로 한다.
- <63> 도 6에서, 플립플롭부(5353) 각 포트의 출력은 제1 믹스부(5351)의 다음 포트의 제1 입력으로 되고, 시리얼 테스트 벡터(TDI)는 제1 믹스부(5351)의 처음 포트의 제2 입력으로 되며, 플립플롭부(5353) 각 포트에서 출력되는 데이터(SD1~SDN)는 후단의 논리 회로 블록들(531, 539, 540)로 입력되어 다음 블록들(531 및 539, 또는 540)에 대한 제어성(controllability) 판단에 이용된다. 또한, 플립플롭부(5353)의 최종 포트에서 출력되는 시리얼 데이터(TDO)는 앞단 논리 회로 블록들(510 또는 531 및 539)의 정상 동작 여부의 판별성(observability)에 이용된다.

<64> 한편, 제2 믹스부(5355)의 제어 신호(TM)는 스캔 테스트(scan test) 여부에 따라 액티브 되거나 비활성화 되어, 플립플롭부(5353)의 포트별 출력 데이터 또는 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 선택적으로 출력한다. 또한, 제1 믹스부(5351)의 제어 신호(TS)는 시리얼 테스트 벡터(TDI)를 입력받아 출력할 것인지 또는 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 받아 출력할 것인지 여부에 따라 액티브 되거나 비활성화 된다.

<65> 또한, 도 6과 같이, 제1 믹스부(5351), 플립플롭부(5353), 및 제2 믹스부(5355)를 구비하는 상기 스캔 테스트(scan test) 회로부(535)는, 그 기능에 따라, 도 3 또는 도 4와 같이 구성될 수도 있다. 이때, 상기 스캔 테스트(scan test) 회로부(535)는, 각 포트별로 믹스 1 개 및 플립플롭 1 개를 구비한다.

<66> 즉, 각 포트별로 도 3과 같이 구성되는 상기 스캔 테스트(scan test) 회로부(535)에서는, 포트별 플립플롭(313) 각각의 출력(FFON)이 다음 포트의 플립플롭 입력으로 되고, 시리얼 테스트 벡터(TDI)는 처음 포트에 있는 플립플롭(313)의 입력으로 되며, 포트별로 플립플롭(313)에서 출력되는 데이터(FF01~FFON)가 후단의 논리 회로 블록들(531, 539, 540)로 입력되어 후단의 논리 회로 블록들(531, 539, 540)에 대한 제어성(controllability) 판단에 이용된다. 믹스(315) 제어 신호(TM)는 스캔(scan) 테스트 여부에 따라 액티브 되거나 비활성화 된다.

<67> 또한, 도 4과 같이 구성되는 상기 스캔 테스트(scan test) 회로부(535)에서는, 포트별 플립플롭(415) 각각의 출력(FFON)이 다음 포트의 믹스 입력으로 되고, 포트별로 플립플롭(415)에서 출력되는 데이터(FF01~FFON)는, 스캔 테스트(scan test)가 아닌 경우에

후단의 논리 회로 블록들(531, 539, 540)로 입력된다. 또한, 최종 포트의 플립플롭에서 출력되는 시리얼 데이터(TDO)는 앞단 논리 회로 블록들(510 또는 531 및 539)의 정상 동작 여부의 판별성(observability)에 이용된다. 맥스(315) 제어 신호(TS)는 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 받아 출력할 것인지 또는 출력 데이터(C1D1~C1DN)를 시리얼 데이터(TDO)로서 외부로 출력할 것인지 여부에 따라 액티브 되거나 비활성화 된다.

<68> 위와 같이, 도 5에서, 매크로 블록(macro block)들 중 코아(core) 블록, 즉, 코아부(core block)(530)는 스캔 테스트(scan test) 방식으로 설계되고, 코아(core) 블록 이외의 나머지 블록들(510, 540)은 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되는 반도체 장치에 대하여 설명하였다.

<69> 한편, 본 발명에 따른 스캔 테스트(scan test) 회로를 구비하는 반도체 장치는, 매크로 블록(macro block)들이 모두 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되는 반도체 장치를 포함한다. 즉, 본 발명의 다른 실시예에 따른 반도체 장치는, 도 5에서, 제1 서브 논리 회로부(510) 및 제2 서브 논리 회로부(540) 이외에 코아부(core block)(530)도 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계되는 경우를 포함한다. 이때, 상기 스캔 테스트(scan test) 회로부(535)를 구비하지 않는 코아부(core block)(530)는, 상기 맥스부(520)의 포트별 출력 데이터를 받아 처리하여, 상기 스캔 테스트(scan test) 회로부(535)를 거치지 않고 바로 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 발생시킨다. 이외에, 제1 서브 논리 회로부(510), 맥스부(520), 및 제2 서브 논리 회로부(540)의 기능은 도 5에 대한 본 발명의 일 실시예에 대한 설명과 같다.

<70> 위와 같이 칩 전체적으로 스캔(scan) 방식이 지원되지 않는 본 발명의 다른 실시예에 따른 반도체 장치는, 코아부(core block)(530)의 출력을 다시 코아부(core block)(530)의 입력으로 하는 방법으로 테스트가 가능하므로, 기능 벡터에 의한 다이내믹 시뮬레이션(dynamic simulation) 테스트와 달리 폴트 커버리지(fault coverage)를 향상시킬 수 있다.

<71> 위에서 기술한 바와 같이, 본 발명의 일실시예에 따른 반도체 장치는, 먼저, 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계된 제1 서브 논리 회로부(510)가 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시킨다. 다음에, 믹스부(520)는 믹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아(core) 출력 데이터를 선택적으로 출력한다. 코아부(core block)(530)는 상기 믹스부(520)의 포트별 출력 데이터를 받아 처리하여 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 생성하고, 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN)를 스캔(scan) 방식으로 외부에 출력하거나, 상기 포트별 코아(core) 내부 데이터(C1D1~C1DN) 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터(TDI)를 선택적으로 처리하여 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 발생시킨다. 상기 다이내믹 시뮬레이션(dynamic simulation) 테스트 방식으로 설계된 제2 서브 논리 회로부(540)는 상기 포트별 코아(core) 출력 데이터(C2D1~C2DN)를 받아 처리하여 최종 출력 데이터를 외부에 출력한다.

<72> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및

균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<73> 상술한 바와 같이 본 발명에 따른 반도체 장치는, 프로그래머블 IP(intellectual property) 코아(core) 주변에 입출력 포트 수만큼의 스캔 테스트(scan test) 회로를 부가하는 경우에, 프로그래머블 IP(intellectual property) 코아(core)의 출력 쪽 스캔 테스트(scan test) 회로가 없고, 프로그래머블 IP(intellectual property) 코아(core)의 입력 쪽에만 각 포트마다 믹스(mux) 하나만 사용하면 된다. 따라서, 스캔 테스트(scan test) 회로의 단순화로 칩 사이즈가 감소되고, 이때 IP(intellectual property) 코아(core) 내에 스캔(scan) 방식으로 입력되는 테스트 벡터에 의해서 테스트가 이루어지도록 할 수 있으므로, 전체 폴트 커버리지(fault coverage)도 만족시킬 수 있는 효과가 있다. 또한, 이 방법은 특히 스캔(scan) 방식이 제공되는 프로그래머블 IP(intellectual property) 코아(core)가 있는 경우에 대하여 큰 효과를 발휘하지만, 칩 전체적으로 스캔(scan) 방식이 지원되지 않는 칩의 경우에도 코아(core) 출력을 다시 코아(core) 입력으로 하는 방법으로 테스트가 가능하므로 폴트 커버리지(fault coverage)를 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시키는 제1 서브 논리 회로부;

믹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력하는 믹스부;

상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 믹스부의 포트별 출력 데이터를 받아 처리하여 상기 포트별 코아 출력 데이터를 발생시키는 코아부; 및

상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력하는 제2 서브 논리 회로부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시키는 제1 서브 논리 회로부;

믹스 제어 신호의 제어를 받아 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력하는 믹스부;

상기 믹스부의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성하고, 상기 포트별 코아 내부 데이터를 스캔 방식으로 외부에 출력하거나, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터를 선택적으로 처리하여 상기 포트별 코아 출력 데이터를 발생시키는 코아부; 및

상기 다이내믹 시뮬레이션 테스트 방식으로 설계되어 있고, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력하는 제2 서브 논리 회로부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제 2항에 있어서, 상기 코아부는,

상기 믹스부의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성하는 제1 코아 논리 회로부;

상기 포트별 코아 내부 데이터를 스캔 방식으로 외부에 출력하거나, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 상기 포트별 테스트 벡터를 선택적으로 출력하는 스캔 테스트 회로부; 및

상기 스캔 테스트 회로부의 포트별 출력 데이터를 처리하여 상기 포트별 코아 출력 데이터를 발생시키는 제2 코아 논리 회로부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제 3항에 있어서, 상기 스캔 테스트 회로부는,

각 포트별로 믹스 2 개 및 플리플롭 1 개를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제 3항에 있어서, 상기 스캔 테스트 회로부는,

각 포트별로 맥스 1 개 및 플리플롭 1 개를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

매크로 블록들이 모두 다이내믹 시뮬레이션 테스트 방식으로 설계되는 반도체 장치의 테스트에 있어서,

상기 매크로 블록들 중 제1 서브 블록에 의하여, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시키는 단계;

맥스 제어 신호의 제어를 받는 맥스들이 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력하는 단계;

상기 매크로 블록들 중 코아 블록에 의하여, 상기 맥스들의 포트별 출력 데이터를 받아 처리하여 상기 포트별 코아 출력 데이터를 발생시키는 단계; 및

상기 매크로 블록들 중 제2 서브 블록에 의하여, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【청구항 7】

매크로 블록들 중 코아 블록은 스캔 테스트 방식으로 설계되고, 코아 블록 이외의 나머지 블록들은 다이내믹 시뮬레이션 테스트 방식으로 설계되는 반도체 장치의 테스트에 있어서,

상기 나머지 블록들 중 제1 서브 블록에 의하여, 외부에서 입력되는 데이터를 받아 처리하여 포트별 서브 데이터를 발생시키는 단계;

믹스 제어 신호의 제어를 받는 믹스들이 상기 포트별 서브 데이터 또는 포트별 코아 출력 데이터를 선택적으로 출력하는 단계;

상기 코아 블록에 의하여, 상기 믹스들의 포트별 출력 데이터를 받아 처리하여 포트별 코아 내부 데이터를 생성하고, 상기 포트별 코아 내부 데이터 또는 외부에서 시리얼로 입력된 포트별 테스트 벡터를 선택적으로 처리하여 상기 포트별 코아 출력 데이터를 발생시키는 단계;

상기 나머지 블록들 중 제2 서브 블록에 의하여, 상기 포트별 코아 출력 데이터를 받아 처리하여 최종 출력 데이터를 외부에 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【청구항 8】

제 7항에 있어서, 상기 포트별 코아 내부 데이터는,

소정의 스캔 테스트 회로에 의하여 스캔 방식으로 외부에 출력될 수 있는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【청구항 9】

제 8항에 있어서, 상기 스캔 테스트 회로는,

각 포트별로 믹스 2 개 및 플리플롭 1 개를 구비하는 것을 특징으로 반도체 장치의 테스트 방법.

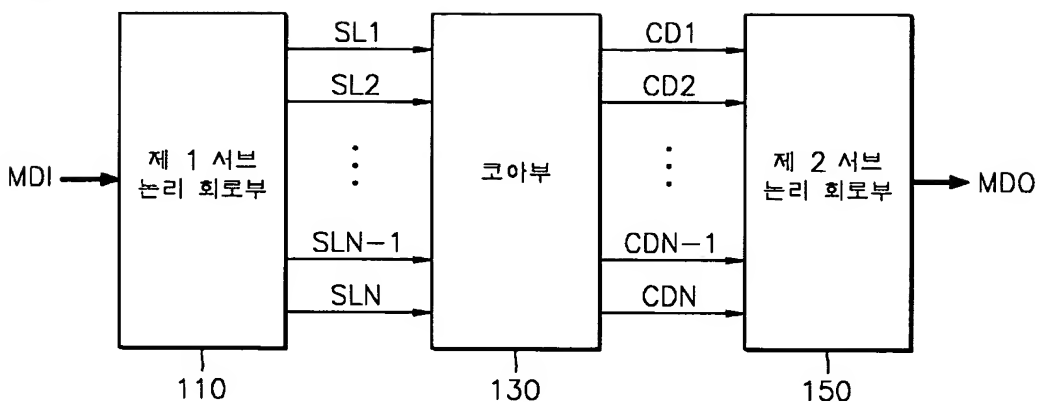
【청구항 10】

제 8항에 있어서, 상기 스캔 테스트 회로는,

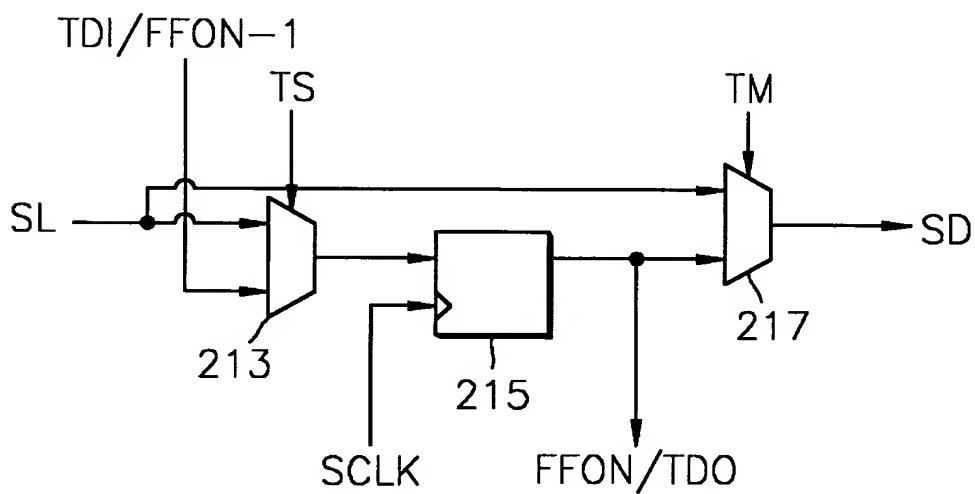
각 포트별로 덱스 1 개 및 플리플롭 1 개를 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【도면】

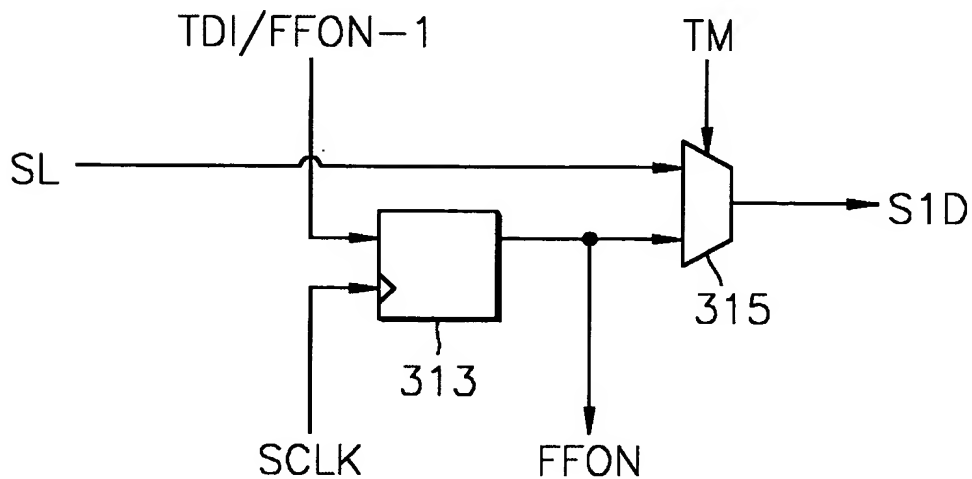
【도 1】



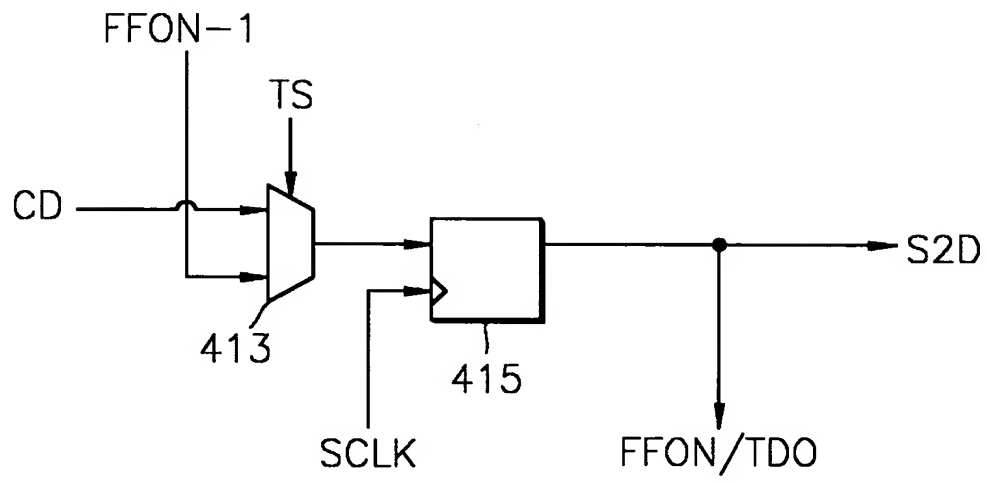
【도 2】



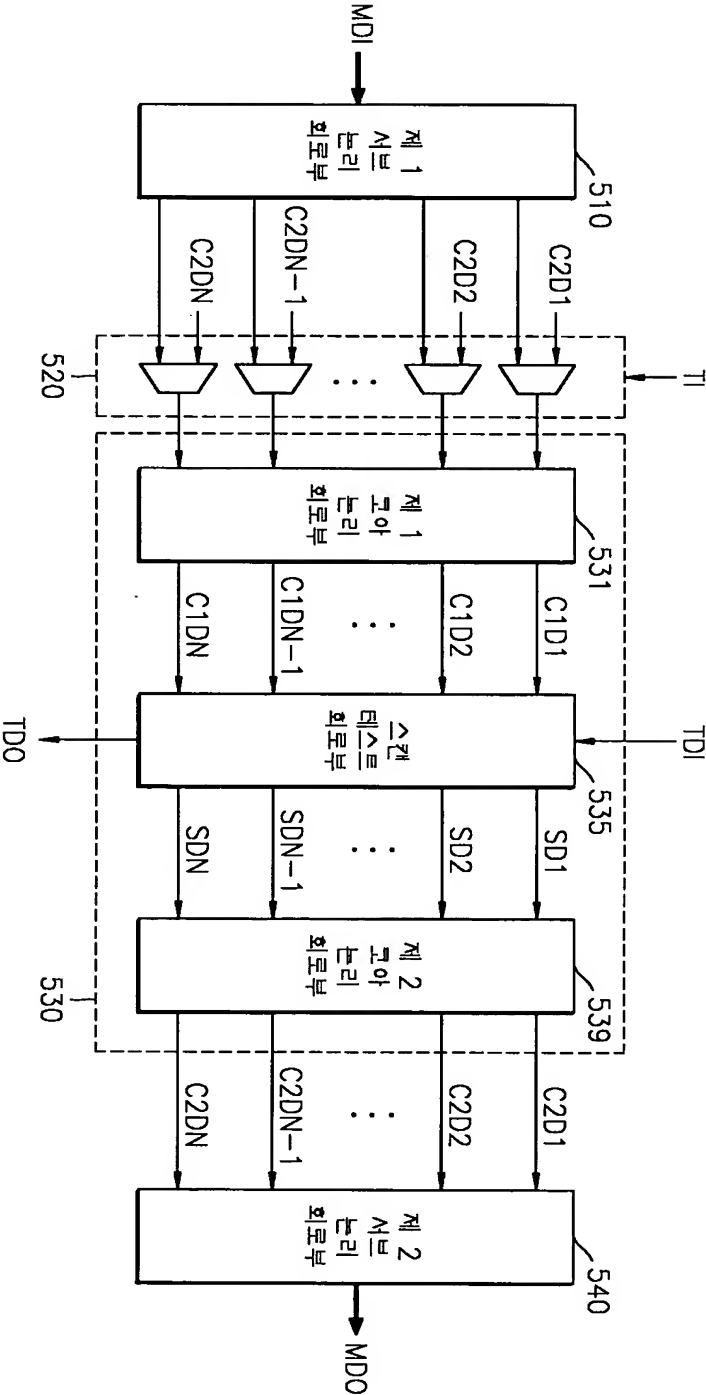
【도 3】



【도 4】



【도 5】





【도 6】

